

0351189  
10/787183 2/2

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 4 年    1 月 2 3 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 4 - 0 1 6 1 8 0  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 4 - 0 1 6 1 8 0 ]

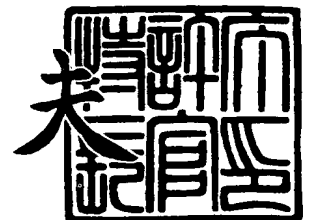
出      願      人  
Applicant(s):                      東芝マイクロエレクトロニクス株式会社  
株式会社東芝

出  
願  
番  
号  
10/787183

2 0 0 4 年    3 月 1 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 2 0 9 0 6

【書類名】 特許願  
【整理番号】 A000305355  
【提出日】 平成16年 1月23日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/00  
【発明者】  
    【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内  
    【氏名】 坂上 健二  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内  
    【氏名】 助川 博  
【発明者】  
    【住所又は居所】 神奈川県川崎市川崎区駅前本町 2 5 番地 1 東芝マイクロエレクトロニクス株式会社内  
    【氏名】 角田 仁  
【特許出願人】  
    【識別番号】 000221199  
    【氏名又は名称】 東芝マイクロエレクトロニクス株式会社  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【先の出願に基づく優先権主張】  
    【出願番号】 特願2003- 54686  
    【出願日】 平成15年 2月28日  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円

●  
【提出物件の目録】

【物件名】	特許請求の範囲	1
【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【包括委任状番号】	9105411	
【包括委任状番号】	9705037	

**【書類名】 特許請求の範囲****【請求項 1】**

ホストとメモリとの間に接続された E C C 制御装置であって、  
前記ホストとの間でデータの入力及び出力を行う第 1 入出力回路と、  
前記第 1 入出力回路に入力された所定データ長を有する書き込みデータのうち、保護対象である保護領域とそれ以外の冗長領域とを検出する検出回路と、  
前記保護領域のデータに対してエラー訂正符号を生成する生成回路と、  
前記冗長領域に前記訂正符号を挿入する訂正符号挿入回路と、  
前記メモリとの間でデータの入力及び出力を行う第 2 入出力回路と、  
前記第 2 入出力回路に入力された前記所定データ長を有する読み出しデータに対し、当該読み出しデータが有する前記エラー訂正符号を用いてシンドローム演算を行い且つシンドローム信号を生成するシンドローム回路と、  
前記シンドローム信号に基づいてエラーの訂正を行う訂正回路と  
を具備することを特徴とする E C C 制御装置。

**【請求項 2】**

前記ホストから入力された前記メモリにデータを書き込み中であることを示すライトイネーブル信号のパルス数と、前記ホストから入力された前記メモリからデータを読み出し中であることを示すリードイネーブル信号のパルス数とを夫々カウントするカウンタと、  
前記ライトイネーブル信号と前記リードイネーブル信号とに基づいてクロックを生成し、且つ前記カウンタによりカウントされたパルス数が所定パルス数になった場合に前記ライトイネーブル信号及び前記リードイネーブル信号を前記メモリに出力しないクロック生成回路とをさらに具備することを特徴とする請求項 1 記載の E C C 制御装置。

**【請求項 3】**

前記ホストが前記メモリにアクセス中であることを示すチップイネーブル信号と同じ信号であるダミーチップイネーブル信号を記憶するレジスタと、  
前記ホストから入力された前記チップイネーブル信号を前記メモリに出力する第 1 モードと、前記ダミーチップイネーブル信号を前記メモリに出力する第 2 モードとを有し、前記第 1 モードと第 2 モードとを切り替えることにより前記チップイネーブル信号或いは前記ダミーチップイネーブル信号を前記メモリに供給するチップイネーブル信号生成回路とをさらに具備することを特徴とする請求項 1 記載の E C C 制御装置。

**【請求項 4】**

前記ホストから第 1 コマンドが入力された場合に、以後前記ホストから入力されるコマンドを前記メモリに出力しないよう制御し、一方前記ホストから第 2 コマンドが入力された場合に、以後前記ホストから入力されるコマンドを前記メモリに出力するよう制御する専用コマンド回路をさらに具備することを特徴とする請求項 1 記載の E C C 制御装置。

**【請求項 5】**

前記ホストから入力された前記メモリにデータを書き込み中であることを示すライトイネーブル信号に基づいて前記書き込みデータをラッチする第 1 ラッチ回路と、  
前記ホストから入力され且つ前記ライトイネーブル信号を含む複数の制御信号の遅延時間を当該装置の配線遅延に基づいて夫々調整する複数の遅延調整回路と、  
前記遅延調整回路により遅延時間を調整された前記ライトイネーブル信号に基づいて前記訂正符号が挿入された前記書き込みデータをラッチする第 2 ラッチ回路と  
をさらに具備することを特徴とする請求項 1 記載の E C C 制御装置。

**【書類名】明細書****【発明の名称】ECC制御装置****【技術分野】****【0001】**

本発明は、ホストから出力されたデータをメモリに記憶し、或いはメモリに記憶したデータをホストが読み出す際に用いられるECC (Error Check and Correct)制御装置に係り、特にホストとメモリとの間のバスを中断して挿入されるECC制御装置に関する。

**【背景技術】****【0002】**

1つのメモリセルが記憶できる情報(値)の数を2値から多値(3値以上)に変更することで、記憶素子としてメモリセルを有する例えばメモリカードの大容量化が可能となる。しかし、メモリセルに多値を用いたメモリカードでは、セル保持データの経年劣化や、データの書き込み及び消去の繰り返し等により、メモリセルが劣化してしまう。これにより、記憶データの信頼性が2値メモリカードに比べて低下してしまう。

**【0003】**

このようなメモリセルの信頼性の低下を防止するための方法として、新たなエラー訂正手段を備えた記憶装置が提案されている(特許文献1参照)。

**【0004】**

ところが、新たなエラー訂正手段を追加するには、メモリカード或いはメモリカードにデータの書き込み等を行うホストの回路変更等を行う必要がある。また、上記ホストの回路変更を行った場合、新たなエラー訂正手段を制御するためにホストの処理負担が増大してしまう。

**【特許文献1】**特開2000-349652号公報

**【発明の開示】****【発明が解決しようとする課題】****【0005】**

本発明は、上記のような事情に鑑みてなされたもので、ホスト或いはメモリにおける既存の回路変更を少なくし、且つホストの処理負担を増やすことなくECCの機能強化が可能なECC制御装置を提供することを目的とする。

**【課題を解決するための手段】****【0006】**

上記目的を達成するために本発明の第1の視点に係るECC制御装置は、ホストとメモリとの間に接続されたECC制御装置であって、前記ホストとの間でデータの入力及び出力を行う第1入出力回路と、前記第1入出力回路に入力された所定データ長を有する書き込みデータのうち、保護対象である保護領域とそれ以外の冗長領域とを検出する検出回路と、前記保護領域のデータに対してエラー訂正符号を生成する生成回路と、前記冗長領域に前記訂正符号を挿入する訂正符号挿入回路と、前記メモリとの間でデータの入力及び出力を行う第2入出力回路と、前記第2入出力回路に入力された前記所定データ長を有する読み出しデータに対し、当該読み出しデータが有する前記エラー訂正符号を用いてシンドローム演算を行い且つシンドローム信号を生成するシンドローム回路と、前記シンドローム信号に基づいてエラーの訂正を行う訂正回路とを有する。

**【発明の効果】****【0007】**

本発明によれば、ホスト或いはメモリにおける既存の回路変更を少なくし、且つホストの処理負担を増やすことなくECCの機能強化が可能なECC制御装置を提供することができる。

**【発明を実施するための最良の形態】****【0008】**

以下、このような知見に基づいて構成された本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する構成要素について

は、同一符号を付し、重複説明は必要な場合にのみ行う。

#### 【0009】

図1は、この実施形態の全体構成を示すブロック図である。

本実施形態では、メモリカードとして例えばNANDフラッシュメモリを用いている。また本実施形態では、例えば4個のNANDフラッシュメモリからなるNANDフラッシュメモリモジュール2を実装している。ホスト3は、NANDメモリインタフェース回路を備えたNANDメモリ制御装置等により構成される。またホスト3は、例えばパーソナルコンピュータからなり、NANDフラッシュメモリモジュール2に対してデータの書き込み、或いはデータの読み出し等を行うものであってもよい。さらに、ホスト3とNANDフラッシュメモリモジュール2との間に、ECCコントローラ1を備えている。このECCコントローラ1は、例えばホスト3が備えるNANDメモリインタフェース回路とNANDフラッシュメモリモジュール2との間のバスを中断して挿入されている。

#### 【0010】

ホスト3とECCコントローラ1とは、例えば8ビットからなる双方向データバスFDH[7:0]（以後、バスFDHと称す）と、4ビットのチップイネーブル（CE[3:0]）信号（以後、CE信号と称す）の信号線5と、リードイネーブル（RE）信号及びライトイネーブル（WE）信号の信号線6と、アドレスラッチイネーブル（ALE）信号及びコマンドラッチイネーブル（CLE）信号の信号線7と、割り込み（INTN）信号の信号線13とにより接続されている。

#### 【0011】

ホスト3は、上記モジュール2に対するコマンド、アドレス及びライトデータをバスFDHに出力する。またホスト3は、上記モジュール2から出力されたリードデータ及び上記モジュール2のステータス情報等をバスFDHを介して読み出す。またホスト3は、上記ECCコントローラ1から出力されるエラー訂正情報等をバスFDHを介して読み出す。

#### 【0012】

CE信号は、ホスト3が上記モジュール2にアクセス中であることを示す信号である。RE信号は、ホスト3が上記モジュール2からデータを読み出し中であることを示す信号である。WE信号は、ホスト3が上記モジュール2にデータを書き込み中であることを示す信号である。ALE信号は、ホスト3が上記モジュール2にアドレスデータを転送中であることを示す信号である。CLE信号は、ホスト3が上記モジュール2にコマンドデータを転送中であることを示す信号である。CE、RE及びWE信号は、例えばローレベルでアクティブとなる。ALE及びCLE信号は、例えばハイレベルがアクティブとなる。

#### 【0013】

ECCコントローラ1と上記モジュール2とは、8ビットの双方向データバスFDN[7:0]（以後、バスFDNと称す）と、4ビットのチップイネーブル（CEo[3:0]）信号（以後、CEo信号と称す）の信号線8と、リードイネーブル（REo）信号及びライトイネーブル（WEo）信号の信号線9と、アドレスラッチイネーブル（ALEo）信号及びコマンドラッチイネーブル（CLEo）信号の信号線10により接続されている。上記ECCコントローラ1から出力される各イネーブル信号は、ホスト3から出力される各イネーブル信号に基づいて生成される。この生成処理については後述する。

#### 【0014】

上記モジュール2とホスト3とは、レディー／ビジー（R/B）信号の信号線11と、その他信号を転送する信号線12とにより接続されている。なお、ECCコントローラ1を挿入する場合と挿入しない場合とで変更のない信号は、図1中のその他信号として表示している。R/B信号は、上記モジュール2のレディー状態（ハイレベル）或いはビジー状態（ローレベル）を表す信号である。上記モジュール2からデータを読み出す場合、ホスト3はリードコマンドを発行した後、上記モジュール2がレディーになった時点でデータの読み出しが可能となる。

#### 【0015】

一方上記モジュール2へのデータの書き込む場合、ホスト3は、WE信号を使って上記モ

ジュール 2 が内蔵するデータバッファへデータを書き込んだ後、プログラムコマンド（上記データバッファからセルへデータを書き込むためのコマンド）を実行する。プログラムコマンドが実行されると、上記モジュール 2 は、R/B 信号をビジーにすることで、プログラム実行中であることをホスト 3 に通知する。さらに、上記モジュール 2 は、R/B 信号をレディーにすることで、次のデータ書き込みが可能であることをホスト 3 に通知する。

#### 【0016】

図 2 は、図 1 に示した NAND フラッシュメモリモジュール 2 の内部構成を示すブロック図である。NAND フラッシュメモリモジュール 2 は、例えば 4 個の NAND フラッシュメモリ 2A, 2B, 2C, 2D を備えている。8 ビット双方向データバス FDN[7:0] と、ALEo, CLEo, WEo, REo 信号の信号線 9, 10 と、その他信号の信号線 12 とは、4 個の NAND フラッシュメモリ 2A ~ 2D に共通に接続される。4 ビットの CEO[3:0] 信号の信号線 8 は、CEO[0] が NAND フラッシュメモリ 2A に、CEO[1] が NAND フラッシュメモリ 2B に、CEO[2] が NAND フラッシュメモリ 2C に、CEO[3] が NAND フラッシュメモリ 2D にそれぞれ接続される。また NAND フラッシュメモリ 2A ~ 2D から出力される R/B 信号の信号線 11 は、ワイアードロジックにより NAND フラッシュメモリモジュール 2 共通の 1 ビットの R/B 信号としてホスト 3 に接続される。

#### 【0017】

なお、NAND フラッシュメモリの個数はこれに限定されず、CEO 信号のビット数によって変更可能である。本実施形態では、4 ビットの CEO 信号を用いている。例えば 4 ビットの CEO 信号のうち、0 ビット目は NAND フラッシュメモリ 2A に、1 ビット目は NAND フラッシュメモリ 2B に、2 ビット目は NAND フラッシュメモリ 2C に、3 ビット目は NAND フラッシュメモリ 2D に夫々割り当てられる。各 NAND フラッシュメモリは、各自割り当てられたビットがアクティブになることで動作する。なお、NAND フラッシュメモリ 2A ~ 2D の動作は同じである。よって、重複説明を避けるため、以後 NAND フラッシュメモリ（以後、NAND メモリと称す）2A の動作について説明する。

#### 【0018】

図 3 は、ECC コントローラ 1 の内部構成を示すブロック図である。ECC コントローラ 1 は、データバス/ECC 回路 100 と、イネーブルインターフェース/クロック回路 200 と、制御回路 300 と、カウンタ 400 と、I/O レジスタ 500 とから構成されている。データバス/ECC 回路（以後、DP/ECC 回路と称す）100 は、ライトデータ及びリードデータのデータバス処理と、ECC コードの生成及びエラー訂正等の処理とを行う。イネーブルインターフェース/クロック回路（以後、EI/C 回路と称す）200 は、各イネーブル信号の遅延時間調整や、クロック生成等を行う。カウンタ 400 は、ライトデータ或いはリードデータのバイト数のカウントと、RE 信号或いは WE 信号のパルス数のカウントとを行う。I/O レジスタ 500 は、ホスト 3 から入力されたデータを記憶する。

#### 【0019】

図 4 は、制御回路 300 の内部構成を示すブロック図である。制御回路 300 は、DP/ECC 回路 100 及び EI/C 回路 200 が行う処理に必要な制御信号を生成し、この生成した制御信号を上記 2 つの回路に夫々出力する。また制御回路 300 は、バス監視回路 301 と、コマンド/アドレス出力回路 302 と、書き込み回路 303 と、読み出し回路 304 とを備えている。

#### 【0020】

バス監視回路 301 は、バス FDH 及び FDN の入出力データの監視を行う。ECC コントローラ 1 の入出力データがない時は、バス FDH 及び FDN にデータを出力しない。これは、バス監視回路 301 が、制御信号 NOUTE 及び HOUTE を生成し、これらの制御信号を後述する DP/ECC 回路 100 内のトライステートバッファ 106 及び 111 に入力することにより行う。これにより、バスを中断して挿入された ECC コントローラ 1 から余分なデータが出力されず、ホスト 3 或いは NAND メモリ 2A の誤動作を防止することが可能となる。

**【0021】**

コマンド／アドレス出力回路302は、ホスト3が出力したコマンド及びアドレスの検出及びコマンド及びアドレスをNANDメモリ2Aに転送するための制御を行う。また、各制御信号を生成してDP／ECC回路100に出力する。

**【0022】**

書き込み回路303は、ライトデータ及びECCコードの書き込み制御を行う。またカウンタ400を使用してブロックデータのバイト数をカウントし、厳密なタイミングでECCコードの挿入を行う。また書き込み回路303は、各制御信号を生成してDP／ECC回路100に出力する。

**【0023】**

読み出し回路304は、リードデータの読み出し制御を行う。また、訂正回路114等を使用してエラー訂正を実行し、訂正回路114が生成した各情報をホスト3に転送する。また読み出し回路304は、各制御信号を生成してDP／ECC回路100に出力する。

**【0024】**

さらに制御回路300は、クロック生成回路305と、CE信号生成回路306と、割り込み回路307と、ECC領域変更回路309と、専用コマンド回路310とを備えている。

**【0025】**

クロック生成回路305は、WE／REクロック代用モードの切り替えを行う。またクロック生成回路305は、WE／REクロック代用モード時のクロック生成制御を行う。ECCコントローラ1は、ホスト3から取得したクロック(DCLK)を使用する通常のクロックモードと、RE信号或いはWE信号を使用してECCコントローラ1の動作に必要なクロック(CLK)を生成するWE／REクロック代用モードとを備える。さらにクロック生成回路305は、WE／REクロック代用モードが選択された場合には、カウンタ400によるカウント値を使用して、NANDメモリ2Aに不要なRE信号及びWE信号を厳密なタイミングでマスクする機能を備えている。

**【0026】**

CE信号生成回路306は、ダイナミックCEモードとスタティックCEモードとを制御する。ECCコントローラ1は、チップイネーブル信号の出力方法として、ホスト3から入力されるCE信号に基づいてCEo信号を出力するダイナミックCEモードと、I/Oレジスタ500に書き込んだチップイネーブル信号を出力するスタティックCEモードとを備えている。CE信号生成回路306は、上記2つのモードの切り替えを行う。またCE信号生成回路306は、スタティックCEモードが選択された場合に、スタティックCE信号をNANDメモリ2Aに出力する。

**【0027】**

割り込み回路307は、割り込み信号をアクティブにし、ホスト3に対して割り込み制御を行う。また割り込み回路307は、エラー情報出力回路308を備えている。エラー情報出力回路308は、上記割り込み信号のアクティブ時、後述する訂正回路114が生成したエラー訂正処理の結果を表す各情報を、上記割り込み信号のアクティブと同時にホスト3に出力する。

**【0028】**

ECC領域変更回路309は、ECCコントローラ1が生成したECCコードをブロックデータに挿入する位置を、後述する各データフォーマットに基づいて変更する。またECC領域変更回路309は、ECCコードを挿入するタイミングを制御し、このタイミングに基づいて制御信号NDOSを生成する。

**【0029】**

専用コマンド回路310は、ホスト3から入力されるECCコントローラ1用の命令として定義された専用コマンドを検出すると、以後ホスト3から入力されるコマンドをNANDメモリ2Aに出力しないように制御する。



**【0030】**

図5は、EI/C回路200の回路構成を示すブロック図である。

EI/C回路200に入力されたCE信号は、4入力NAND回路201とセクタ202に入力される。なお前述したように、当該ECCコントローラ1は、チップイネーブルのモードとしてダイナミックCEモードとスタティックCEモードとを備えている。通常、ECCコントローラ1はダイナミックCEモードで動作する。このダイナミックCEモードでは、セクタ202はホスト3から入力されるCE信号をスルー出力する。スタティックCEモードについては後述する。セクタ202から出力された信号は、遅延回路203により所定時間遅延され、バッファ204を介して信号線8からCEo信号として出力される。4入力NAND回路201から出力された信号(CEiN)は、NAND回路207とNAND回路215とに入力される。

**【0031】**

EI/C回路200に入力されたWE信号は、遅延回路205とNAND回路207とセクタ208とAND回路221とに入力される。遅延回路205に入力されたWE信号は、所定時間遅延され、バッファ206を介してクロックWE\_CLKとして出力される。NAND回路207から出力された信号は、セクタ208に入力される。セクタ208は、ダイナミックCEモードではWE信号を選択する。セクタ208から出力された信号は、NOR回路209に入力される。またNOR回路209には、制御回路300から出力されるマスク信号MSK\_WEが入力される。NOR回路209から出力された信号は、遅延回路210により所定時間遅延され、インバータ回路211に入力される。インバータ回路211から出力された信号は、WEo信号として出力される。またインバータ回路211から出力された上記信号は、バッファ212を介してクロックWEo\_CLKとして出力される。

**【0032】**

EI/C回路200に入力されたRE信号は、遅延回路213とNAND回路215とセクタ216と上記AND回路221とに入力される。遅延回路213に入力されたRE信号は、所定時間遅延され、バッファ214を介してクロックRE\_CLKとして出力される。NAND回路215から出力された信号は、セクタ216に入力される。セクタ216は、ダイナミックCEモードではRE信号を選択する。セクタ216から出力された信号は、NOR回路217に入力される。またNOR回路217には、制御回路300から出力されるマスク信号MSK\_REが入力される。NOR回路217から出力された信号は、遅延回路218により所定時間遅延され、インバータ回路219に入力される。インバータ回路219から出力された信号は、REo信号として出力される。またインバータ回路219から出力された上記信号は、バッファ220を介してクロックREo\_CLKとして出力される。

**【0033】**

AND回路221から出力された信号は、セクタ222に入力される。セクタ222は、AND回路221から入力された信号とダイレクトクロック(DCLK)とのいずれかを、制御回路300から入力される制御信号DCLKSELに基づいて選択する。セクタ222から出力された信号は、遅延回路223により所定時間遅延され、バッファ224を介してクロックCLKとして出力される。クロックCLKは、当該ECCコントローラ1のクロックとして使用される。

**【0034】**

EI/C回路200に入力されたCLE信号は、遅延回路225により所定時間遅延され、バッファ226を介してCLEo信号として出力される。上記EI/C回路200に入力されたALE信号は、遅延回路227により所定時間遅延され、バッファ228を介してALEo信号として出力される。

**【0035】**

遅延回路203, 205, 210, 213, 218, 223, 225, 227の遅延時間は、ECCコントローラ1内部の配線遅延を同一に揃え、かつホスト3のバスタイミングを保つことができる値に設定される。これにより、ECCコントローラ1を挿入したこ

とにより、ECCコントローラ1内の各配線の長さの違いによる信号遅延を統一することができる。よって、ホスト3から入力された各イネーブル信号の相互間のタイミングが保持されてNANDメモリ2Aに出力される。

#### 【0036】

図6は、DP/ECC回路100の回路構成を示す図である。

バスFDHから入力されたデータは、バッファ101に入力される。バッファ101から出力されたデータは、信号線FDHIを介してセクタ105とフリップフロップ102に入力される。フリップフロップ102は、クロックWE\_CLKに基づいて入力データのラッチを行う。フリップフロップ102から出力されたデータは、8ビットからなる信号線HDI\_WEi[7:0]を介してセクタ103とセクタ112とに入力される。セクタ112に入力されたデータは、制御回路300から入力される制御信号DINSにより選択され、8ビットからなる信号線DIN[7:0]を介してECC回路120内の訂正符号/シンドローム回路113に入力される。なお、ECC回路120は、訂正符号/シンドローム回路113と訂正回路114とを含む。

#### 【0037】

訂正符号/シンドローム回路113は、ホスト3からNANDメモリ2Aに書き込むライトデータに対して、ECCコード（誤り訂正符号として、例えばリードソロモン（Reed-Solomon）符号を用いる）を生成する。この生成されたECCコードは、8ビットからなる信号線CODE[7:0]を介してセクタ103に入力される。セクタ103は、制御回路300から入力される制御信号NDOSに基づいて、上記ライトデータに上記ECCコードを挿入する。セクタ103から出力されたデータは、フリップフロップ104に入力される。

#### 【0038】

フリップフロップ104は、クロックWEo\_CLKに基づいて入力データのラッチを行う。フリップフロップ104から出力されたデータは、8ビットからなる信号線NDO\_WEoN[7:0]を介してセクタ105に入力される。セクタ105は、制御回路300から入力される制御信号FDHISに基づいて、8ビットからなる信号線FDHI[7:0]のデータを出力するか、或いは8ビットからなる信号線NDO\_WEoN[7:0]のデータを出力するかを選択する。セクタ105から出力されたデータは、8ビットからなる信号線NDHO[7:0]を介してトライステートバッファ106に入力される。トライステートバッファ106は、制御回路300から入力される制御信号NOUTEに基づいてデータの出力を行う。トライステートバッファ106から出力されたデータは、上記バスFDNからNANDメモリ2Aへ出力される。

#### 【0039】

一方、バスFDNから入力された読み出しデータは、バッファ107に入力される。なお、バッファ101、107は、外部回路との相互作用防止等のために用いられている。バッファ107から出力されたデータは、8ビットからなる信号線NDHI[7:0]を介してフリップフロップ108に入力される。フリップフロップ108は、クロックRE\_CLKに基づいて入力データのラッチを行う。フリップフロップ108から出力されたデータは、8ビットからなる信号線NDI\_REo[7:0]を介してセクタ109とセクタ112とに入力される。セクタ112に入力されたデータは、制御回路300から入力される制御信号DINSにより選択され、8ビットからなる信号線DIN[7:0]を介して訂正符号/シンドローム回路113に入力される。

#### 【0040】

訂正符号/シンドローム回路113は、ホスト3がNANDメモリ2Aから読み出すリードデータに対して、ECCコードを用いてシンドローム演算を行う。このシンドローム演算の結果生成されたシンドロームは、訂正回路114に入力される。訂正回路114は、上記シンドロームを基に、エラーデータの有無を判定する。エラーデータがなければ、正常に読み出しが行われた旨の正常終了情報を生成し、この正常終了情報を出力する。

#### 【0041】

一方、エラーデータがあった場合は、訂正回路114は訂正情報を生成する。さらに、訂正回路114は、訂正処理が正常に終了した旨の訂正終了情報を生成し、上記訂正終了情報及び訂正情報を出力する。ところで、エラーデータがあった場合において、訂正回路114は、5シンボル以上のエラーデータを検出した場合には訂正不可能であると判定する。そして訂正回路114は、上記訂正不可能である旨の異常終了情報を生成し、この異常終了情報を出力する。

#### 【0042】

訂正回路114から出力されたデータは、8ビットからなる信号線ADRS/EDATA [7:0]を介してセクタ109に入力される。セクタ109は、制御回路300から入力される制御信号HDOSにより選択されたデータを出力する。セクタ109から出力されたデータはフリップフロップ110に入力される。フリップフロップ110は、入力されたデータをクロックREo\_CLKでラッチする。フリップフロップ110から出力されたデータは、8ビットからなる信号線HDO\_REiN [7:0]を介してトライステートバッファ111に入力される。トライステートバッファ111は、制御回路300から入力される制御信号HOUT Eに基づいてデータの出力を行う。トライステートバッファ111から出力されたデータは、バスFDHからホスト3へ出力される。

#### 【0043】

図7は、本実施形態で採用するブロックデータのフォーマットを示す図である。本実施形態において、データは所定のバイト数を有するブロック単位で取り扱われる。1ブロックは、例えば528バイトで構成される。この1ブロックは、ユーザ領域512バイトと冗長領域16バイトとに分けられる。例えば、ユーザ領域が16Mバイトのメモ리카ードは、上記ブロックを32K個備える。ECCの符号化方式は、例えばリードソロモン符号を使用し、4シンボル（1シンボルが10ビット）のエラー訂正を行う。ユーザ領域512バイトのデータに対しては、8シンボル（80ビット）、すなわち10バイトのECCコードを生成する。

#### 【0044】

図7において、フォーマット0は、ユーザ領域の直後にECCコードを挿入する形式である。フォーマット1は、ユーザ領域の後に1バイトの冗長領域を設け、その後にECCコードを挿入する形式である。フォーマット2は、ユーザ領域の後に2バイトの冗長領域を設け、その後にECCコードを挿入する形式である。フォーマット3は、ユーザ領域の後に3バイトの冗長領域を設け、その後にECCコードを挿入する形式である。フォーマット4は、ユーザ領域の後に4バイトの冗長領域を設け、その後にECCコードを挿入する形式である。フォーマット5は、ユーザ領域の後に5バイトの冗長領域を設け、その後にECCコードを挿入する形式である。フォーマット6は、ユーザ領域の後に6バイトの冗長領域を設け、その後にECCコードを挿入する形式である。

#### 【0045】

なお、フォーマット6において、ユーザ領域512バイトに更に冗長領域6バイトをユーザに割り当てることも可能である。この場合は、ユーザ領域512バイトに上記冗長領域6バイトを加えた保護対象データ518バイトに対して、10バイトのECCコードを生成する。これにより、518バイトをユーザ領域として使用可能となる。フォーマットの種類と保護対象データの選択（512バイト／518バイト）は、例えばI/Oレジスタ500内のモードレジスタ501にホスト3が予め設定する。なお、本実施形態では、518バイトを保護対象データとしたフォーマット6を使用する。

#### 【0046】

以下、図3のように構成されたECCコントローラ1の動作を説明する。

まず、ホスト3から入力されるコマンド及びアドレスの出力動作を説明する。図8は、コマンド及びアドレスの出力動作のタイミングチャートを表す図である。

ホスト3は、コマンドCMD（例えばブロックライトコマンド）をNANDメモリ2Aに転送するため、WE信号をアクティブ（ローレベル）及びCLE信号をアクティブ（ハイレベル）にし、続いてコマンドCMDをバスFDHに出力する。するとEI/C回路200は

、WEo信号及びCLEo信号をNANDメモリ2Aに出力する。さらにDP/ECC回路100は、コマンドCMDをラッチせずにバスFDNへ出力する。これは、コマンド/アドレス出力回路302が、信号線FDHIのデータを選択する旨の制御信号FDHISを生成してセクタ105の制御端子に入力することにより行う。NANDメモリ2Aは、WEo信号の立ち上がりエッジでコマンドCMDを読み取る。後述する各データの読み込みは、同様の方法で行われる。

#### 【0047】

次に、ホスト3は、WE信号をアクティブ及びALE信号をアクティブ（ハイレベル）にし、続いてアドレス（ADRS1及びADRS2）をバスFDHに出力する。すると、EI/C回路200は、NANDメモリ2Aに対してALEo信号を出力する。さらにDP/ECC回路100は、ADRS1及びADRS2をラッチせずにバスFDNへ出力する。これでデータの書き込みが可能となる。NANDメモリ2Aからデータの読み出しを行う場合も同様である。なお、本実施形態では、アドレスは例えば4バイト（ADRS1～ADRS4）で構成される。また、コマンドCMD及びアドレスADRS1～ADRS4は、夫々1バイトで構成される。

#### 【0048】

次に、データの書き込み動作を説明する。図9は、データの書き込み動作のタイミングチャートを表す図である。

ホスト3がバスFDHにライトデータWD1（1バイトからなる）を出力すると、ECCコントローラ1はこのライトデータWD1をDP/ECC回路100に入力する。次にDP/ECC回路100は、ライトデータWD1をクロックWE\_CLKの立ち上がりでラッチして8ビットからなる信号線HDI\_WEi [7:0] に出力する。このように、各ライトデータをクロックWE\_CLKに同期させることで、制御回路300の同期設計を容易にすることができる。

#### 【0049】

次にDP/ECC回路100は、ライトデータWD1をクロックWEo\_CLKの立ち下がりでラッチして8ビットからなる信号線NDO\_WEoN [7:0] に出力する。このように、各ライトデータをクロックWEo\_CLKでラッチすることで、ECCコントローラ1内の配線遅延を考慮する必要が無いため、レイアウト設計が容易になる。そしてECCコントローラ1は、ライトデータWD1をバスFDNからNANDメモリ2Aに出力する。後続のライトデータWD2及びWD3についても同様の処理を行う。

#### 【0050】

なおECCコントローラ1は、ライトデータを、8ビットからなる信号線FDHI [7:0] を使用してラッチせずに出力させることも可能である。この場合、書き込み回路303は、信号線FDHIにより転送されるデータを選択する旨の制御信号FDHISを生成してセクタ105に入力する。これにより、ホスト3から出力されたライトデータが、ラッチされずにNANDメモリ2Aへ出力される。

#### 【0051】

次に、データの読み出し動作を説明する。図10は、データの読み出し動作のタイミングチャートを表す図である。

NANDメモリ2AがバスFDNにリードデータRD1（1バイトからなる）を出力すると、ECCコントローラ1はこのリードデータRD1をDP/ECC回路100に入力する。DP/ECC回路100は、リードデータRD1をクロックRE\_CLKの立ち上がりでラッチして8ビットからなる信号線NDI\_REo [7:0] に出力する。次にDP/ECC回路100は、リードデータRD1をクロックREo\_CLKの立ち下りでラッチして8ビットからなる信号線HDO\_REiN [7:0] に出力する。そしてECCコントローラ1は、リードデータRD1をバスFDHからホスト3に出力する。後続のリードデータRD2及びRD3についても同様の処理を行う。

#### 【0052】

なお、ECCコントローラ1がリードデータをラッチせずに出力すると、ECCコントローラ1内部の配線遅延により、ホスト3でのリードデータ読み取り時のセットアップマ

ージンが減少する。ECCコントローラ1が行うリードデータのラッチ処理は、これを回避するために有効である。なお、上記セットアップマージンを確保するためにラッチを行った場合、図10に示すようにホスト3が出力するRE信号に対してリードデータが1サイクル遅れてホスト3に出力される。この場合、予めホスト3に対して最初のRE信号がアクティブ時には、リードデータが出力されない旨を通知しておく。

#### 【0053】

次に、保護対象データが518バイトである上記フォーマット6のブロックデータから構成されるライトデータの書き込み動作を説明する。図11は、上記ライトデータの書き込み動作のフローを示す図である。図12は、上記ライトデータの書き込み動作におけるタイミングチャートを示す図である。

#### 【0054】

ホスト3がライトデータの書き込みを行うための命令であるブロックライトコマンドを実行したとする。書き込み回路303は、上記ブロックライトコマンドを検知してデータ書き込み処理を開始する。書き込み回路303は、例えば上記ブロックライトコマンドを検知してカウンタ400によりバスFDHから入力されたライトデータWD1～518（ライトデータWD1～WD512と、冗長部ライトデータWD513～WD518とからなる）のバイト数のカウントを開始する。なお、バスFDHから入力されたライトデータWD1～518は、クロックWE\_CLKによりラッチされる。そして書き込み回路303は、上記ライトデータWD1～518を選択する旨の制御信号NDOSを生成し、セクタ103の制御端子に入力する。また書き込み回路303は、上記ライトデータWD1～518を選択する旨の制御信号DINSを生成し、セクタ112の制御端子に入力する。

#### 【0055】

訂正符号／シンドローム回路113は、セクタ112から入力されたライトデータWD1～518に対するECCコード（10バイトからなる）を生成する。なおホスト3は、保護対象データを出力した後、WE信号と共にダミーライトデータDMY1～10を出力する。このダミーライトデータDMY1～10は、どんなデータでもかまわない。次に書き込み回路303は、上記生成したECCコードCODE1～10を保護対象データの後ろに挿入するために、制御信号NDOSを生成してセクタ103に入力する。これにより、セクタ103は、ダミーライトデータDMY1～10に替えてECCコードCODE1～10を出力する。

#### 【0056】

DP/ECC回路100は、セクタ103から出力されたECCコードが挿入されたブロックデータをクロックWEo\_CLKでラッチする。この際、書き込み回路303は、ライトデータWD518の直後のWE信号を1パルス分マスクするため、マスク信号MSK\_WE（ハイレベル）を生成してNOR回路209に入力する。WE信号をマスクするタイミングは、カウンタ400のカウント値を使用して決定する。これにより、NANDメモリ2Aは、ダミーライトデータDMY1を書き込まない。

#### 【0057】

次に書き込み回路303は、上記ラッチされたライトデータ及びECCコードを選択する旨の制御信号FDHISを生成してセクタ105の制御端子に入力する。ECCコントローラ1は、セクタ105から出力されたデータをNANDメモリ2Aに順次転送する。

#### 【0058】

一方ホスト3は、プログラムコマンドを実行してCLE信号及びWE信号をアクティブにする。なお、NANDメモリ2Aは、ECCコントローラ1から入力されたデータをデータバッファに記憶している。そして、NANDメモリ2Aは、上記プログラムコマンドが実行されると、データバッファに記憶しているデータをメモリセルに書き込む。次にホスト3は、NANDメモリ2Aのステータスを検出するためのステータスリードコマンドを実行し、R/B信号をポーリング（polling）する。そして、R/B信号がレディーになるのを検出した時点で、当該ライトデータの書き込みを完了し、必要に応じて次のブロックライトコマンドを実行する。

## 【0059】

次に、NANDメモリ2Aからのリードデータの読み出し動作を説明する。図13は、上記リードデータの読み出し動作のフローを示す図である。

ホスト3がリードデータの読み出しを行うための命令であるブロックリードコマンドを実行したとする。ECCコントローラ1は、バスFDHを介して上記ブロックリードコマンドを検知してデータ読み出し処理を開始すると共に、このブロックリードコマンドをNANDメモリ2Aに出力する。次にECCコントローラ1は、ホスト3が出力したアドレスをNANDメモリ2Aに出力する。次にホスト3は、R/B信号をポーリングし、レディーを検出すると、NANDメモリ2Aからリードデータの転送を開始する。

## 【0060】

DP/ECC回路100は、バスFDNから入力されたリードデータ528バイト（リードデータRD1～RD512と、冗長部リードデータRD513～RD518と、ECCコードCODE1～CODE10とからなる）をクロックRE\_CLKによりラッチする。次に読み出し回路304は、このリードデータを選択する旨の制御信号HDOSを生成してセクタ109の制御端子に入力する。また読み出し回路304は、上記ラッチされたリードデータを選択する旨の制御信号DINSを生成してセクタ112の制御端子に入力する。

## 【0061】

次に訂正符号/シンδροーム回路113は、セクタ112から入力されたリードデータRD1～518に対し、ECCコードCODE1～10を用いてシンδροーム信号を生成する。判定回路115は、上記シンδροーム信号に基づいてエラーデータの有無を判定する。判定回路115によりエラーデータが検出されなかった場合、情報生成回路116は上記正常終了情報を生成する。そして訂正回路114は、処理結果通知として上記正常終了情報を出力する。読み出し回路304は、この正常終了情報を選択する旨の制御信号HDOSを生成してセクタ112の制御端子に入力する。

## 【0062】

一方、訂正回路114は、エラーデータを検出した場合には、訂正処理を実行する。すなわち、判定回路115によりエラーデータが検出された場合、情報生成回路116はエラーデータのアドレスと訂正に必要なエラー差分情報とからなる訂正情報を生成する。エラー差分情報とは、ホスト3が読み込んだリードデータと当該エラー差分情報との排他的論理和を演算することで期待値（エラーが発生していないデータ）を得ることができる情報である。

## 【0063】

訂正処理が終了した場合、情報生成回路116は上記訂正終了情報を生成する。そして訂正回路114は、上記訂正終了情報及び訂正情報を出力する。読み出し回路304は、上記訂正終了情報及び訂正情報を選択する旨の制御信号HDOSを生成してセクタ109の制御端子に入力する。また情報生成回路116は、エラーの有無を表すエラー有無情報及びエラーデータの数を表すエラー数情報を生成する。そして、訂正回路114は、エラー有無情報及びエラー数情報を訂正情報に含めて出力するようにしてもよい。

## 【0064】

なお、訂正回路114は、エラーデータを検出した場合において、5シンボル以上のエラーデータを検出すると、エラー訂正が不可能であると判定する。すなわち、判定回路115は、エラーデータを検出した場合、さらにエラーデータ数が5シンボル以上であるかを判定する。判定回路115により5シンボル以上であると判定された場合、情報生成回路116は上記異常終了情報を作成する。なお、上記5シンボルは一例であり、回路によって任意に設定可能である。そして訂正回路114は、上記異常終了情報を出力する。読み出し回路304は、上記異常終了情報を選択する旨の制御信号HDOSを生成してセクタ109の制御端子に入力する。

## 【0065】

DP/ECC回路100は、セクタ109から出力された各データをクロックREo\_CLKによりラッチする。そして、ECCコントローラ1は、リードデータ及び各情報をホス

ト3に出力する。同様に、ECCコントローラ1は、次のリードデータの読み出し処理を実行する。

【0066】

次に、クロック生成回路305によるWE/REクロック代用モードの動作について説明する。

NANDメモリ2AとしてクロックDCLKを持たないバスプロトコルを使用するメモリカードが用いられる場合には、ECCコントローラ1を駆動するための上記クロックDCLKが得られない。ここで上記クロックDCLKとは、ホスト3から入力されるデータにより得られるクロック、或いはホスト3から直接入力されるクロックである。このため、ECCコントローラ1は、WE/REクロック代用モードを実行する。WE/REクロック代用モードへの切り替えは、ユーザが例えば外部入力手段から設定してもよいし、ホスト3を経由して設定するようにしてもよい。また、ECCコントローラ1がクロックを持たないメモリカードを検出する機能を備え、自動的に設定するようにしてもよい。なお、WE/REクロック代用モードでは、ホスト3はデータの書き込み及び読み出しを行っていない場合でもECCコントローラ1の内部処理のためにWE信号或いはRE信号を余分に出力している。

【0067】

クロック生成回路305は、WE/REクロック代用モードが選択されると、WE信号とRE信号とのAND信号をクロックCLKとして選択する旨の制御信号DCLKSELを生成し、セクタ222の制御端子に入力する。これにより、ECCコントローラ1は、WE信号とRE信号とのAND信号をクロックCLKとして使用可能となる。次にクロック生成回路305は、例えばホスト3からブロックライトコマンドとアドレスとが入力されたのを検出すると、カウンタ400を起動する。カウンタ400は、この時点からWE信号のパルスのカウントを開始する。

【0068】

次にクロック生成回路305は、カウンタ400のカウント値が上記データフォーマットに基づいた所定の値（本実施形態では、1ブロックが528バイトなので、カウント値は528）になるのを検出すると、パルスをマスクするためにマスク信号MSK\_WE（ハイレベル）を生成して、NOR回路209に入力する。そして、NOR回路209を介して出力されるWEo信号は、厳密なタイミングでマスクされる。例えば1ブロックのライトデータをNANDメモリ2Aに書き込む場合、WE信号のパルスを528個出力し、その後のWE信号をマスクする。RE信号においても同様である。

【0069】

これにより、ホスト3がECCコントローラ1の内部処理のためにWE信号或いはRE信号を余分に出力してもNANDメモリ2Aに不要なWE信号或いはRE信号はマスクされる。よって、NANDメモリ2Aが誤動作するのを防止できる。

【0070】

次に、CE信号生成回路306によるスタティックCEモードの動作について説明する。ECCコントローラ1が4個のNANDメモリ2A～2Dを制御するものとする。ホスト3が4個のNANDメモリ2A～2Dに対して4つのチップイネーブル（CE）信号を独立に割り当てることが可能なシステムでは、通常のダイナミックCEモードを使用する。このダイナミックCEモードにおいて、ECCコントローラ1はホスト3から入力されたCE[3:0]信号を、指定されたNANDメモリにCEo[3:0]信号として出力する。なお、本実施形態ではCE[3:0]信号は4ビットからなるため、4個のメモリを同時に制御可能である。

【0071】

一方、ホスト3がNANDフラッシュメモリモジュール2に対して1つのCE信号しかアクティブにできないシステムであり、4個のNANDメモリ2A～2Dに対して1つのCE信号しか割り当てがない場合には、ECCコントローラ1はスタティックCEモードを実行することで、4個のNANDメモリ2A～2Dを制御可能になる。

【0072】

通常、ECCコントローラ1は、ホスト3からのCE信号をそのままスルーでCEo信号としてNANDメモリ2Aに出力するが、ホスト3がモードレジスタ501を設定することで、スタティックCEモードで動作する。スタティックCEモードでは、ECCコントローラ1はスタティックCEレジスタ502に設定されたデータをCEo信号として出力する。

#### 【0073】

NANDメモリ2Aのページデータプログラム期間(NANDメモリ2Aが内蔵するデータバッファからセルへのデータ書き込み期間)は数msecオーダーかかり、ページデータリードビジー期間(NANDメモリ2Aが内蔵するデータバッファへのセル保持データ書き込み期間)は数百 $\mu$ secオーダーかかる。この期間中、ホスト3がNANDメモリ2AへのCE信号をアクティブにし続けると、ホストはホストバス上の他の周辺デバイスへのアクセスができず、システム全体の処理効率が低下する。これを回避したい場合は、ホスト3がECCコントローラ1をスタティックCEモードにする。

#### 【0074】

するとCE信号生成回路306は、スタティックCEレジスタ502に設定されたスタティックCE信号をセクタ202に入力する。またCE信号生成回路306は、スタティックCE選択信号(STATIC\_CE\_MODE)を生成し、セクタ202, 208, 216の制御端子に入力する。スタティックCE信号は、セクタ202から出力される。さらにこのスタティックCE信号は、CEo信号としてNANDメモリ2Aに出力される。これにより、ホスト3は、NANDメモリ2AへのCE信号はアクティブにし続け、上記ページデータプログラム及びページデータリードビジー状態を維持しつつ、ホストバス上のNANDメモリ2AへのCE信号はインアクティブにして、他の周辺デバイスのCE信号をアクティブにすることができる。

#### 【0075】

なおECCコントローラ1は、スタティックCEモードにおいて、WEo或いはREo信号をCE信号(4ビット)のいずれかがアクティブでなければマスクしてアクティブにしない回路を備えている。これは、NANDメモリ2Aがビジー期間中のみ、外部CE信号に拠らずCEo信号をアクティブにして、ビジー状態を維持するが、NANDメモリ2AへのWEo或いはREo信号を使ったNANDメモリ2Aへのアクセスを禁止したい意図で設けた機能である。

#### 【0076】

セクタ208/216は、STATIC\_CE\_MODE信号が入力されると、それぞれNAND回路207/215が出力した信号を選択する。スタティックCEモードでのCE[3:0]信号に基づくWEo/REoマスク処理は、CE[3:0]信号を入力とする4入力NAND回路201の出力信号をNAND回路207/215にそれぞれ入力することで実行する。すなわち、CE[3:0]信号の4ビット全てがハイレベルならば、NAND回路201の出力信号はローレベルになり、NAND回路207及び215の出力はWE/RE信号の値に関わらずハイレベルになる。NOR回路209/217への入力信号がハイレベルでそれぞれWE/RE信号がマスクされる。これにより、CE信号がインアクティブ時は、NANDメモリ2Aに対してデータの書き込み或いは読み出しが行われない。

#### 【0077】

次に、割り込み回路307による割り込み処理の動作について説明する。ECCコントローラ1は、割り込み処理を行う割り込み回路307を備えている。割り込み通知は、割り込み(INTN)信号をアクティブにすることにより行う。

#### 【0078】

NANDメモリ2Aからホスト3へのリードデータの読み出しが終了すると、エラー情報出力回路308は、ECCコントローラ1がエラー検出処理中であることを表すデータ“ff”h(hexadecimal notation)をセクタ109に入力する。また割り込み回路307は、上記データ“ff”を選択する旨の制御信号HDOSを生成してセクタ109の制御端子に入力する。これにより、上記データ“ff”がホスト3へ出力される。ホスト3は、上記データ“ff”により、ECCコントローラ1がエラー検出処理中であると判断



する。エラー検出処理中である旨を表すデータは上記“f f”でなくてもよい。

#### 【0079】

次にエラー情報出力回路308は、所定サイクル（1サイクルは、RE信号のハイレベルとローレベル）後、ホスト3に対して上記エラー有無情報を1サイクル出力後、再びデータ“f f”をホスト3に出力し続ける。次にエラー情報出力回路308は、所定サイクル後、ホスト3に対して上記エラー数情報を1サイクル出力後、再びデータ“f f”をホスト3に出力し続ける。

#### 【0080】

次にエラー情報出力回路308は、所定サイクル後、訂正処理の結果に応じて、上記正常終了情報、訂正終了情報又は異常終了情報をホスト3に対して1サイクル出力する。なおエラー情報出力回路308が出力する上記各情報は、前述したように訂正回路114により生成される。エラー情報出力回路308は、訂正回路114を制御することにより、上記タイミングで上記各情報を出力させる。また割り込み回路307から出力される各データは、当該割り込み回路307が制御信号HDOSを生成してセレクタ109の制御端子に入力することにより行う。以下、割り込み回路307が出力するデータについても同様である。

#### 【0081】

ここで、非割り込みモードで訂正処理が終了した場合、上記正常終了情報ならば、処理を終了する。また上記訂正終了情報ならば、エラー情報出力回路308は訂正情報をホスト3に出力し、処理を終了する。また上記異常終了情報ならば、処理を終了する。

#### 【0082】

一方、割り込みモードで訂正処理が終了した場合について説明する。上記正常終了情報ならば、割り込み回路307は割り込み（INTN）信号をアクティブにする。そしてエラー情報出力回路308は、上記正常終了情報をバスFDNに出力し続ける。ホスト3は、割り込みを受け付けると、割り込み内容を取得し、ECCコントローラ1に対して割り込み許可である旨のアクノリッジコマンドを出力する。割り込み回路307は、上記アクノリッジコマンドをマスクして、NANDメモリ2Aに出力しない。上記アクノリッジコマンドのマスクは、割り込み回路307がマスク信号MSK\_WE（ハイレベル）を生成してNOR回路209に入力することにより行う。割り込み回路307は、上記アクノリッジコマンドが入力されると、上記INTN信号をインアクティブにし、処理を終了する。

#### 【0083】

また訂正終了情報ならば、割り込み回路307は、上記アクノリッジコマンドが入力されると、上記INTN信号をインアクティブにする。続いてエラー情報出力回路308は、RE信号に同期して上記訂正情報を出力し、処理を終了する。

#### 【0084】

また異常終了情報ならば、上記アクノリッジコマンドが入力されると、上記INTN信号をインアクティブにし、処理を終了する。このような割り込み処理を行うことにより、ホスト3は割り込み通知と同時に割り込み内容を取得することができる。よってホスト3の割り込み内容を読み込むためのI/Oレジスタ500へのアクセスを省くことができる。

#### 【0085】

次に、ECC領域変更回路309によるECCコード格納領域可変動作について説明する。

上記ECCコントローラ1は、上記図7に示したブロックデータの各フォーマットのうち、ECCコードを挿入する領域を冗長領域内の任意の場所に指定できる機能を備えている。フォーマット情報の選択方法としては、ユーザが選択したフォーマット情報をホスト3がECCコントローラ1に設定するようにしてもよいし、ECCコントローラ1に入手段を設け、ユーザが設定するようにしてもよい。

#### 【0086】

例えばホスト3が、ECCコントローラ1内のモードレジスタ501にフォーマット情報を書き込んだとする。すると、ECC領域変更回路309は、上記カウンタ400がカ

ウントする値が、上記設定されたフォーマットにより決められる値になった時点で、上記訂正符号／シンドローム回路 113 が作成した ECC コードを順次挿入する。例えば上記図 7 に示したフォーマット 1 の場合について説明する。ECC 領域変更回路 309 は、カウント値が 513 になった時点で訂正符号／シンドローム回路 113 から出力される ECC コードを選択する旨の制御信号 NDOS を生成してセクタ 103 の制御端子に入力する。これにより、フォーマット 1 で決められている所定の位置に ECC コードを挿入することができる。

#### 【0087】

次に、専用コマンド回路 310 による専用コマンド実行モードの動作について説明する。

ECC コントローラ 1 の専用コマンドを定義する場合、メモリカードのコマンドセットの中の未使用コードを専用コマンドとして割り当てる必要がある。この場合、ECC コントローラ 1 の専用コマンド数が制限されるため、ECC コントローラ 1 の多機能化の弊害となる。この実施形態では、専用コマンドを 2 つ使用するだけで、ECC コントローラ 1 の専用命令を実行する。

#### 【0088】

例えば ECC コントローラ 1 の専用コマンドとして、コマンド 90 (CMD 90) とコマンド 91 (CMD 91) を定義する。ホスト 3 が CMD 90 を実行すると専用コマンド実行モードに入り、CMD 91 を実行すると専用コマンド実行モードから抜ける。ECC コントローラ 1 は、このモード中、ホスト 3 から入力されたコマンドをマスクして NAND メモリ 2A に上記コマンドを出力しない機能を備える。

#### 【0089】

具体的には、専用コマンド回路 310 は、マスク信号 MSK\_WE (ハイレベル) を生成し、このマスク信号 MSK\_WE を NOR 回路 209 に入力する。これにより、NAND メモリ 2A に出力される WEo 信号を、ホスト 3 が出力する WE 信号に関わらずインアクティブにする。また専用コマンド回路 310 は、マスク信号 MSK\_RE (ハイレベル) を生成し、このマスク信号 MSK\_RE を NOR 回路 217 に入力する。これにより、NAND メモリ 2A に出力される REo 信号を、ホスト 3 が出力する RE 信号に関わらずインアクティブにする。これにより、CMD 90 が実行されると、以後 NAND メモリ 2A にはコマンドが書き込まれない。

#### 【0090】

したがって、ホスト 3 により CMD 90 が実行されると、ホスト 3 は ECC コントローラ 1 に対してメモリカードのコマンドセットと同一のコードを使用して、ECC コントローラ 1 に命令を実行することが可能となる。よって、多くの ECC コントローラ 1 専用コマンドを定義して、ECC コントローラ 1 の多機能化を実現できる。

#### 【0091】

以上詳述したようにこの実施形態では、ホスト 3 と NAND メモリ 2A 間のバスを ECC コントローラ 1 が中断するアーキテクチャにしている。よって、例えば多値化データに対応して機能を強化した ECC 回路を追加する場合に、ホスト 3 及び NAND メモリ 2A の設計変更等が不要になる。

#### 【0092】

ECC コントローラ 1 は、ホスト 3 から入力される WE 信号に基づいてライトデータをラッチしている。これにより、制御回路 300 でライトデータの同期を取る必要ないため、同期設計を容易にすることができる。また、ECC コントローラ 1 は、各イネーブル信号の内部配線遅延を各遅延回路によりを等しく揃えるようにしている。これにより、NAND メモリ 2A に対して正確なタイミングで各イネーブル信号を供給することができる。また ECC コントローラ 1 がライトデータを出力する際、遅延調整された WEo 信号によりラッチするようにしている。これにより、ホスト 3 或いは NAND メモリ 2A は、データ受信時のタイミングマージンを確保することができる。また ECC コントローラ 1 は、ホスト 3 から入力されたデータをラッチするか、スルー出力するかを選択することができるので、データの種類により自由に対応することが可能である。

## 【0093】

また、クロックを持たないメモリカードなどに用意されたバスプロトコルにECCコントローラ1を適用する場合でも、例えばライトイネーブル信号或いはリードイネーブル信号をクロックとして代用することができるため、クロックが無いシステムにもECCコントローラ1を追加することができる。また、メモリカードに必要なライトイネーブル信号或いはリードイネーブル信号のみをメモリカードに出力するようにしているので、不要なライトイネーブル信号或いはリードイネーブル信号がメモリカードに入力され、メモリカードが誤動作することを防止できる。

## 【0094】

また、ホスト3が例えばIOデバイスに対して1つのチップイネーブル信号しかアサートできないシステムにおいて、ECCコントローラ1がホスト3に代わってチップイネーブル信号をアクティブにする機能を備えている。これによりホスト3は、NANDメモリ2Aのチップイネーブル信号をアクティブにし、且つ他のデバイスにアクセスして並列処理を行うことが可能となる。

## 【0095】

またECCコントローラ1は、割り込み信号をアクティブにし、同時に割り込み内容をバスに出力し続ける機能を備えている。よって、割り込み通知と割り込み内容を同時にホスト3に通知することができる。これにより、ホスト3はNANDメモリ2AのI/Oレジスタ500へのアクセスを省くことができ、高速処理及び処理の簡素化が可能となる。

## 【0096】

またECCコントローラ1は、ECCコードを挿入する領域を変更する機能を備えている。よって、NANDメモリ2Aの多種類のデータフォーマットに柔軟に対応することができる。

## 【0097】

またECCコントローラ1は、ホスト3から入力された所定の専用コマンドをマスクしてNANDメモリ2Aに出力しない機能を備えている。よってホスト3は、NANDメモリ2Aのコマンドセットと同一のコードを使用して、ECCコントローラ1に命令を実行することが可能となる。これにより、多くのECCコントローラ1専用コマンドを定義して、ECCコントローラ1の多機能化を実現できる。

## 【0098】

なお、上記実施形態では、ホスト3或いはNANDメモリ2Aとは別にECCコントローラ1を構成している。しかし、ホスト3がECCコントローラ1を備える構成であってもよい。また、NANDメモリ2AがECCコントローラ1を備える構成であってもよい。このように構成しても同様に実施可能である。

## 【0099】

この発明は、上記実施形態に限定されるものではなく、その他、本発明の要旨を変更しない範囲において種々変形して実施可能である。

## 【図面の簡単な説明】

## 【0100】

【図1】 本発明の一実施形態における全体構成を示すブロック図。

【図2】 図1に示したNANDフラッシュメモリモジュール2の内部構成を示すブロック図。

【図3】 図1に示したECCコントローラ1の内部構成を示すブロック図。

【図4】 図3に示した制御回路300の回路構成を示すブロック図。

【図5】 図3に示したイネーブルインターフェース／クロック回路200の回路構成を示すブロック図。

【図6】 図3に示したデータバス／ECC回路100の回路構成を示すブロック図。

【図7】 本実施形態で採用するブロックデータのフォーマットを示す図。

【図8】 図3に示したECCコントローラ1におけるコマンド及びアドレスの出力動作のタイミングチャートを示す図。

【図 9】図 3 に示した ECC コントローラ 1 におけるデータの書き込み動作のタイミングチャートを示す図。

【図 10】図 3 に示した ECC コントローラ 1 におけるデータの読み出し動作のタイミングチャートを示す図。

【図 11】図 3 に示した ECC コントローラ 1 におけるブロックライトデータの書き込み動作のフローを示す図。

【図 12】図 3 に示した ECC コントローラ 1 におけるブロックライトデータの書き込み動作のタイミングチャートを示す図。

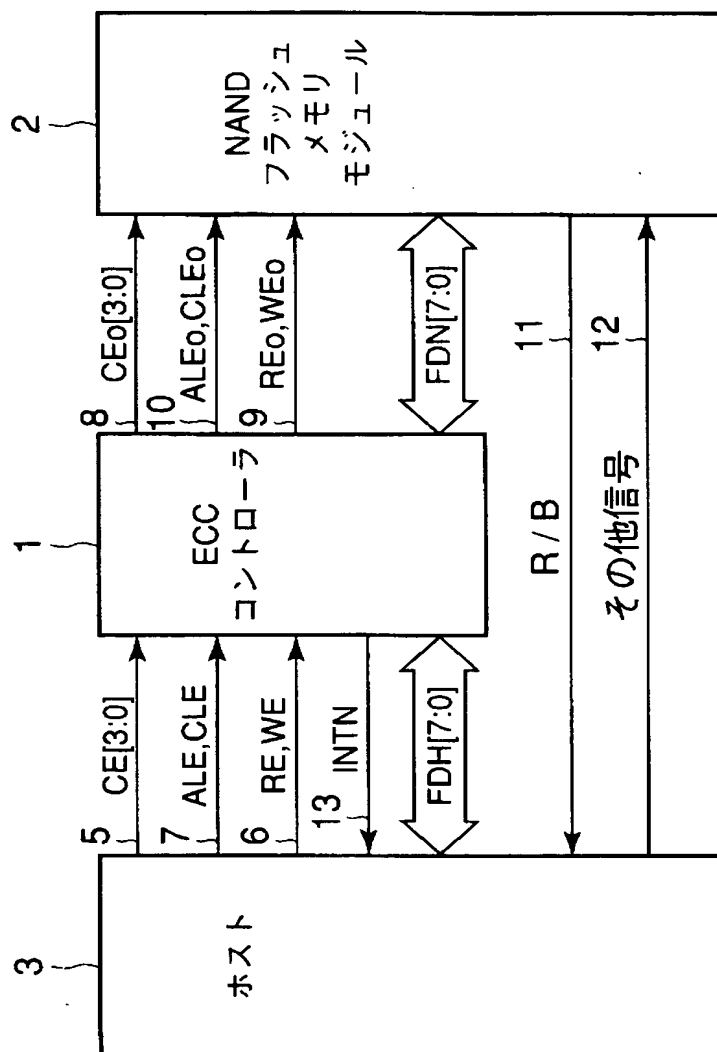
【図 13】図 3 に示した ECC コントローラ 1 におけるブロックリードデータの読み出し動作のフローを示す図。

【符号の説明】

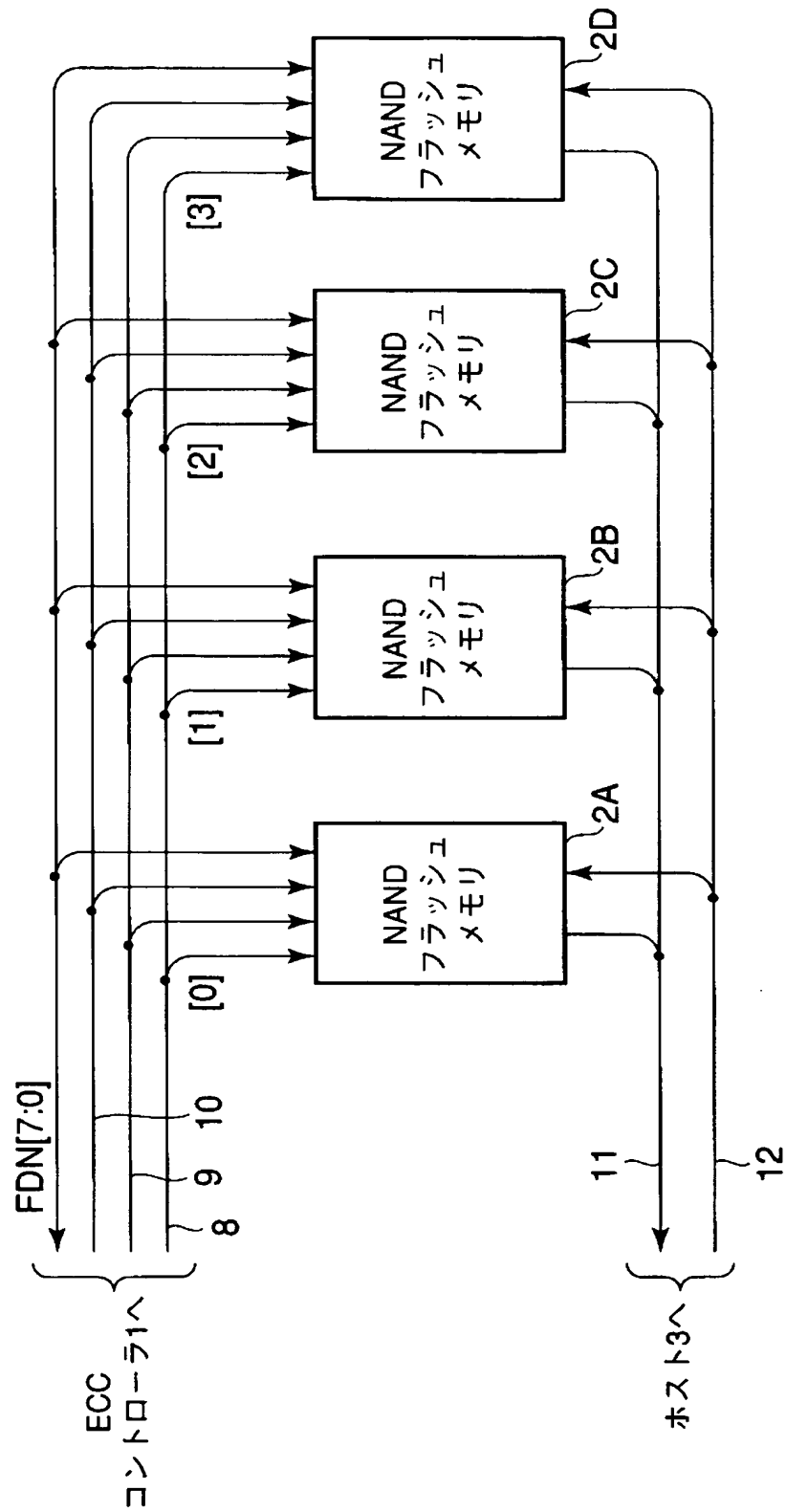
【0101】

1…ECC コントローラ、2…NAND フラッシュメモリモジュール、2A, 2B, 2C, 2D…NAND フラッシュメモリ、3…ホスト、5～13…信号線、100…データバス/ECC 回路、101, 107…バッファ、102, 104, 108, 110…フリップフロップ、103, 105, 109、112…セクタ、106, 111…トライステートバッファ、113…訂正符号/シンドローム回路、114…訂正回路、115…判定回路、116…情報生成回路、120…ECC 回路、200…イネーブルインターフェース/クロック回路、201, 207, 215…NAND 回路、202, 208, 216, 222…セクタ、203, 205, 210, 213, 218, 223, 225, 227…遅延回路、204, 206, 212, 214, 220, 224, 226, 228…バッファ、209, 217…NOR 回路、211, 219…インバータ回路、221…AND 回路、300…制御回路、301…バス監視回路、302…コマンド/アドレス出力回路、303…書き込み回路、304…読み出し回路、305…クロック生成回路、306…CE 信号生成回路、307…割り込み回路、308…エラー情報出力回路、309…ECC 領域変更回路、310…専用コマンド回路、400…カウンタ、500…I/O レジスタ、501…モードレジスタ、502…スタティック CE レジスタ。

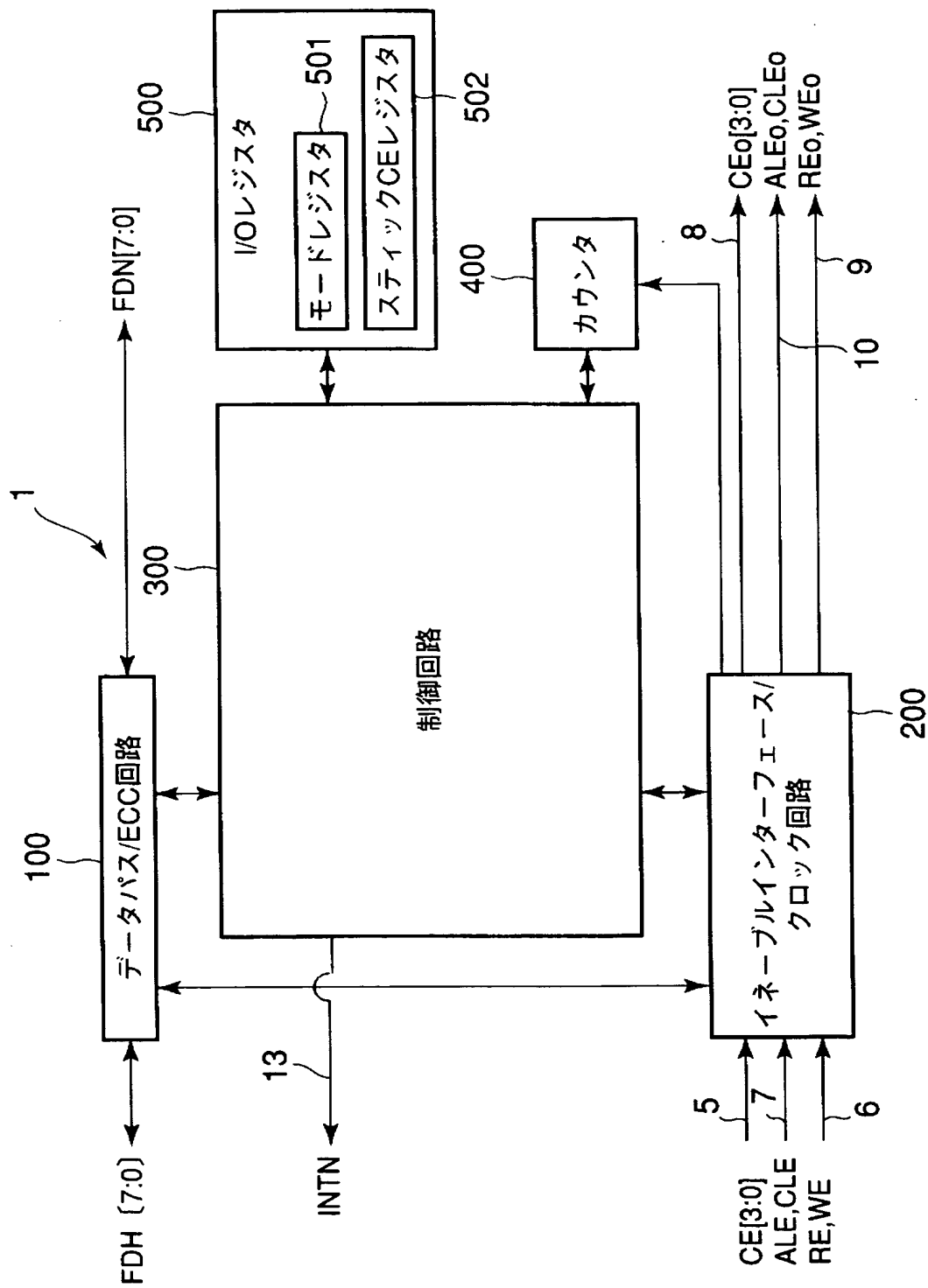
【書類名】 図面  
【図 1】



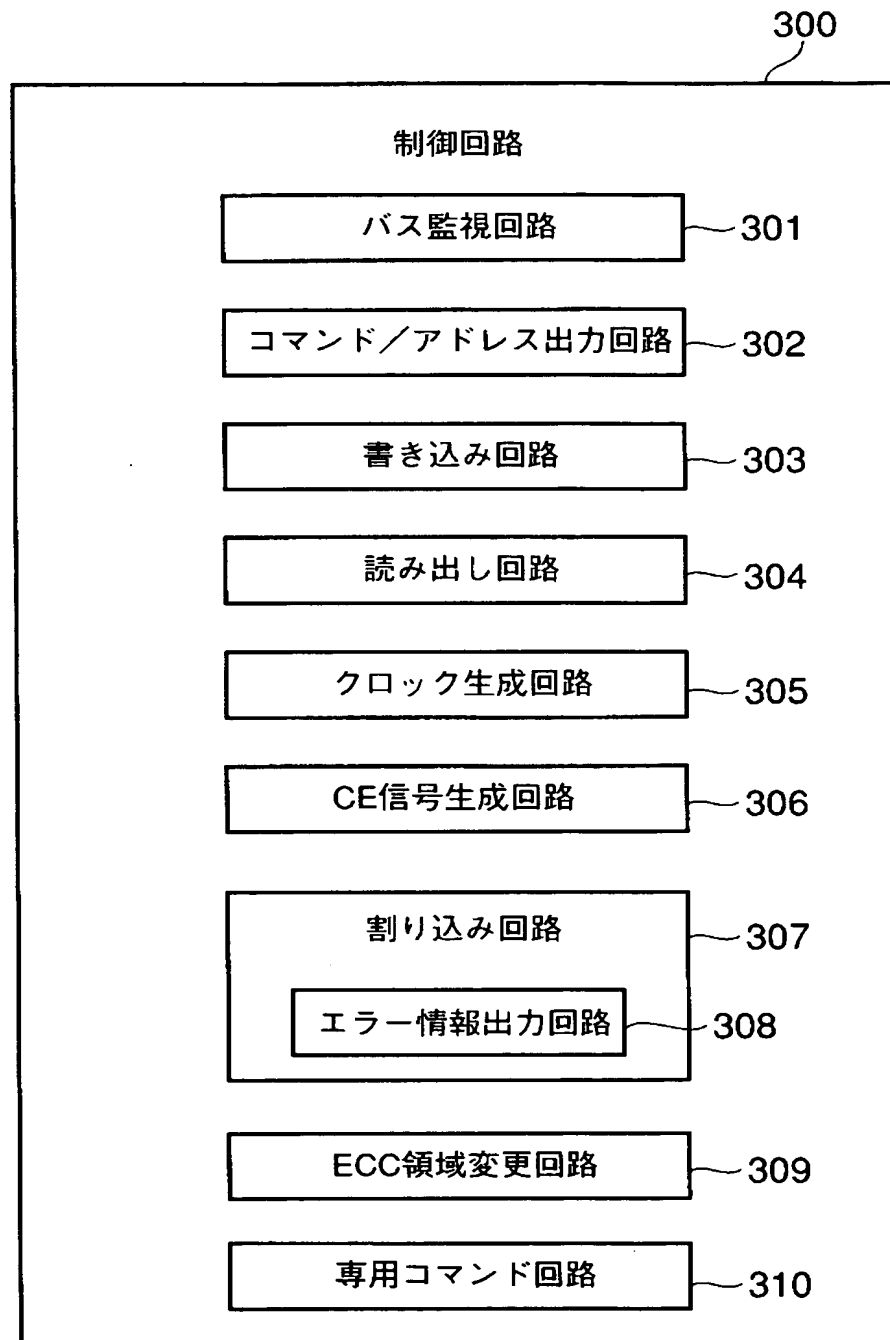
【図 2】



【図 3】

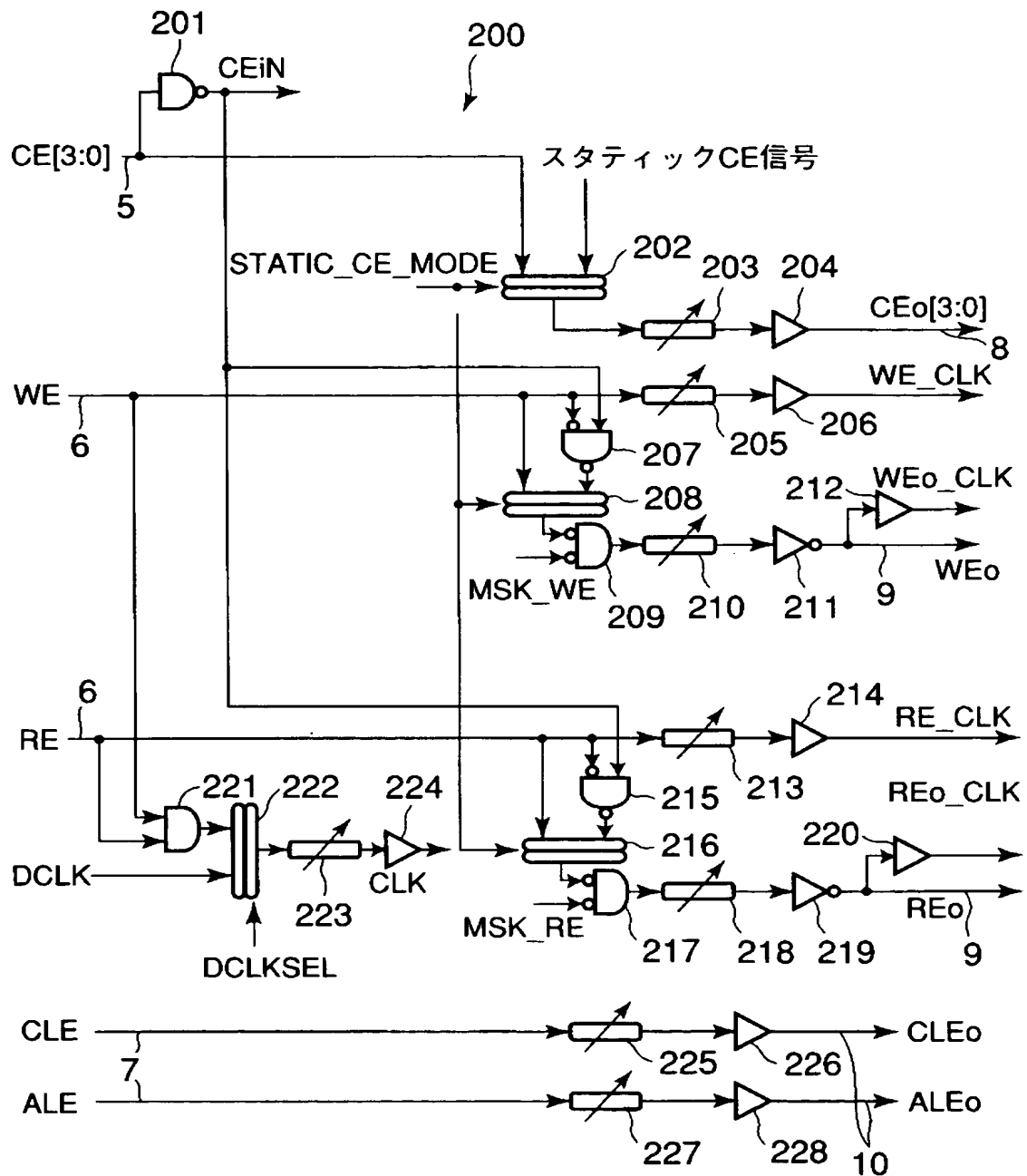


【図 4】

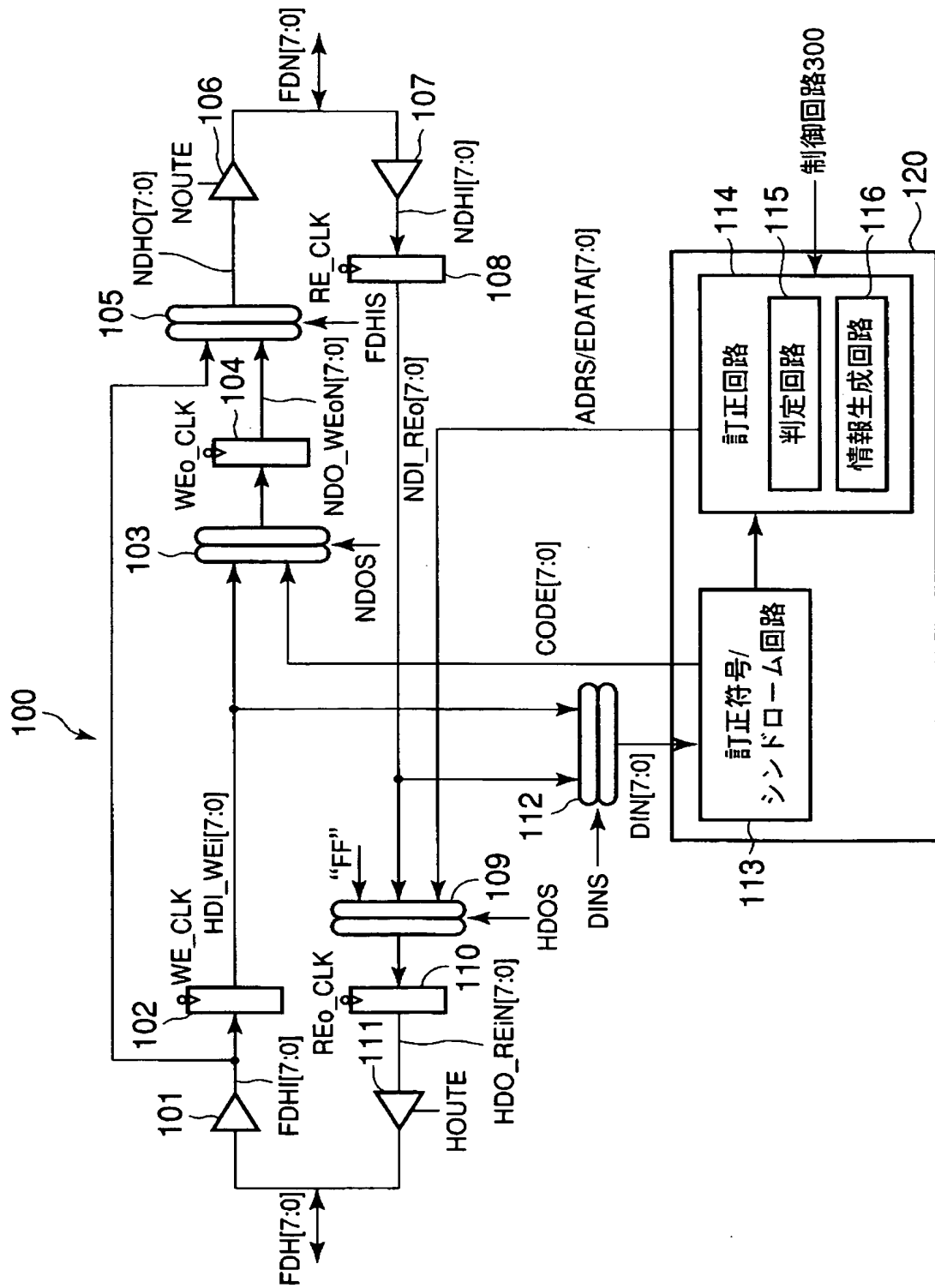




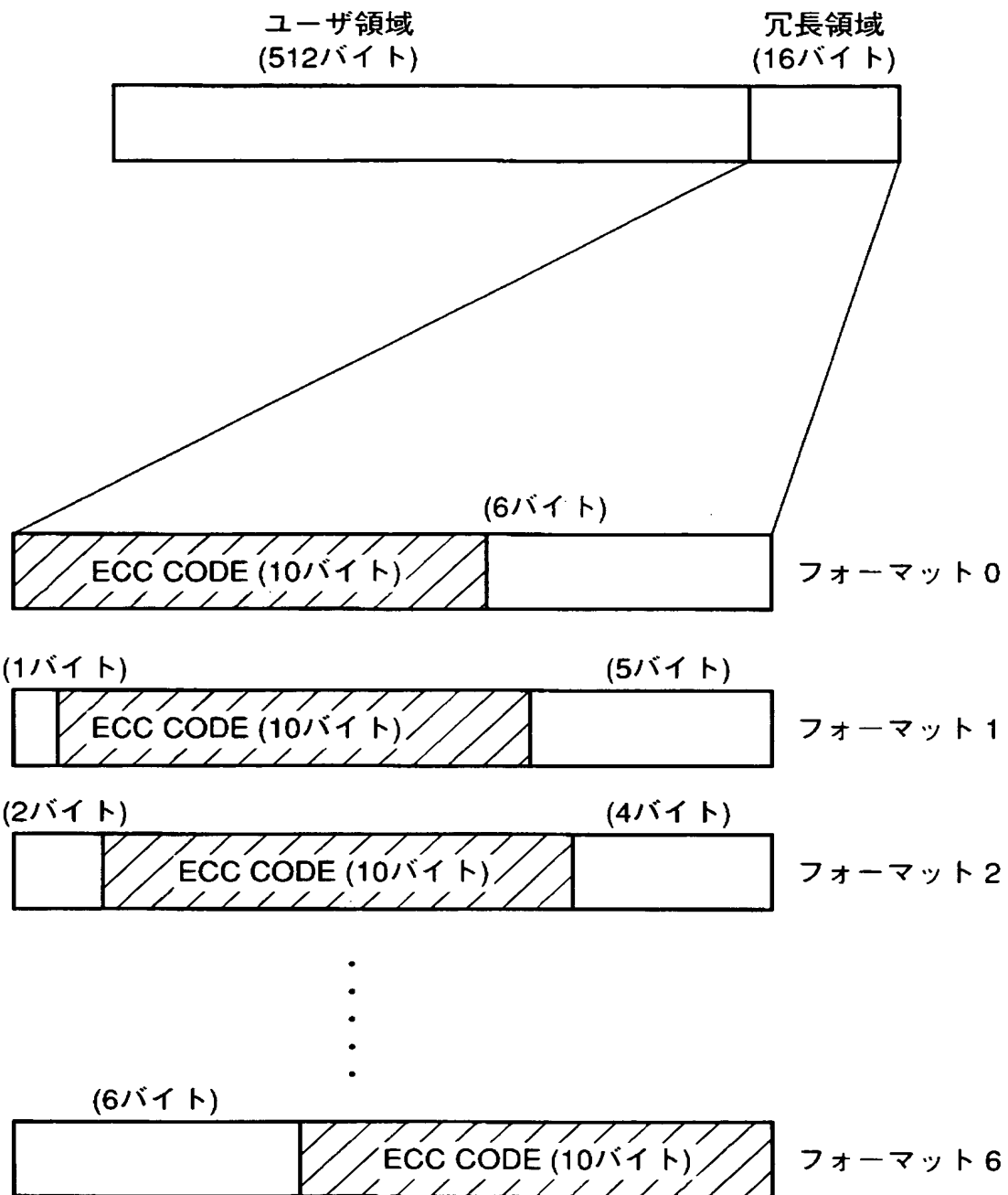
【図 5】



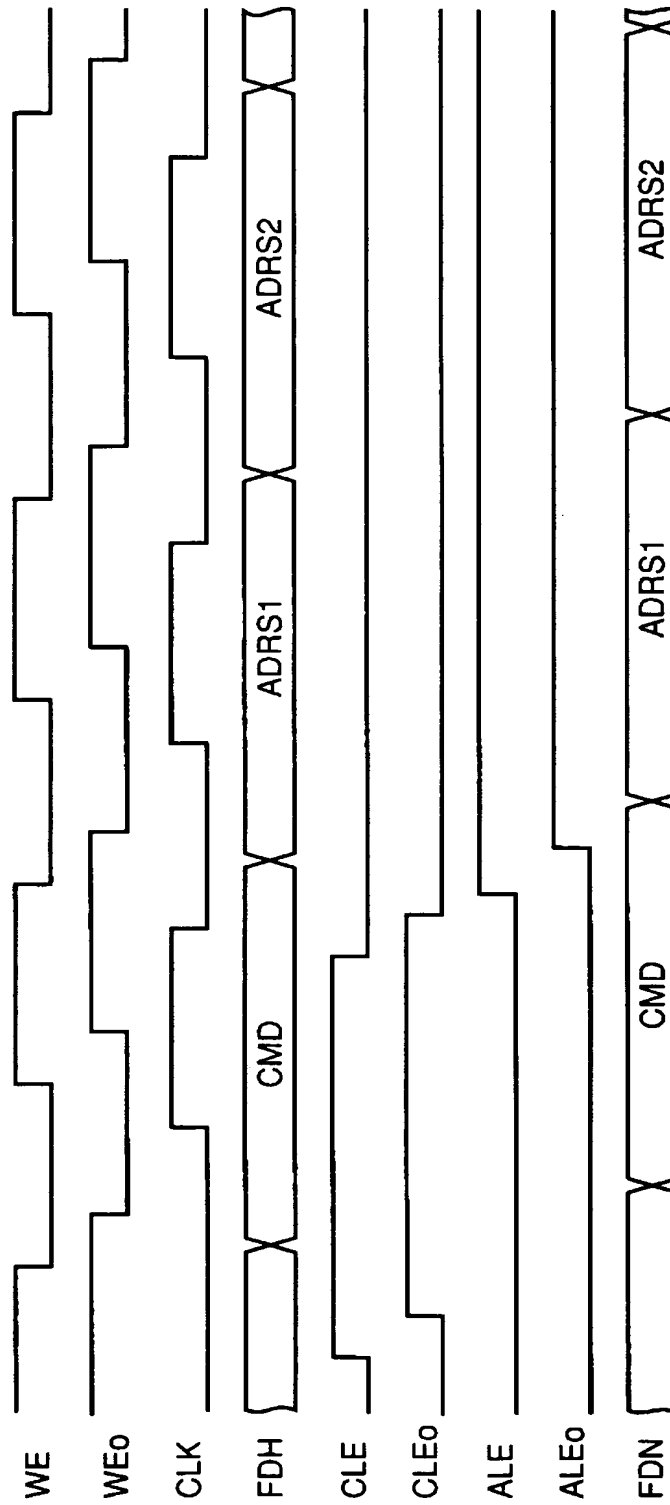
【図 6】



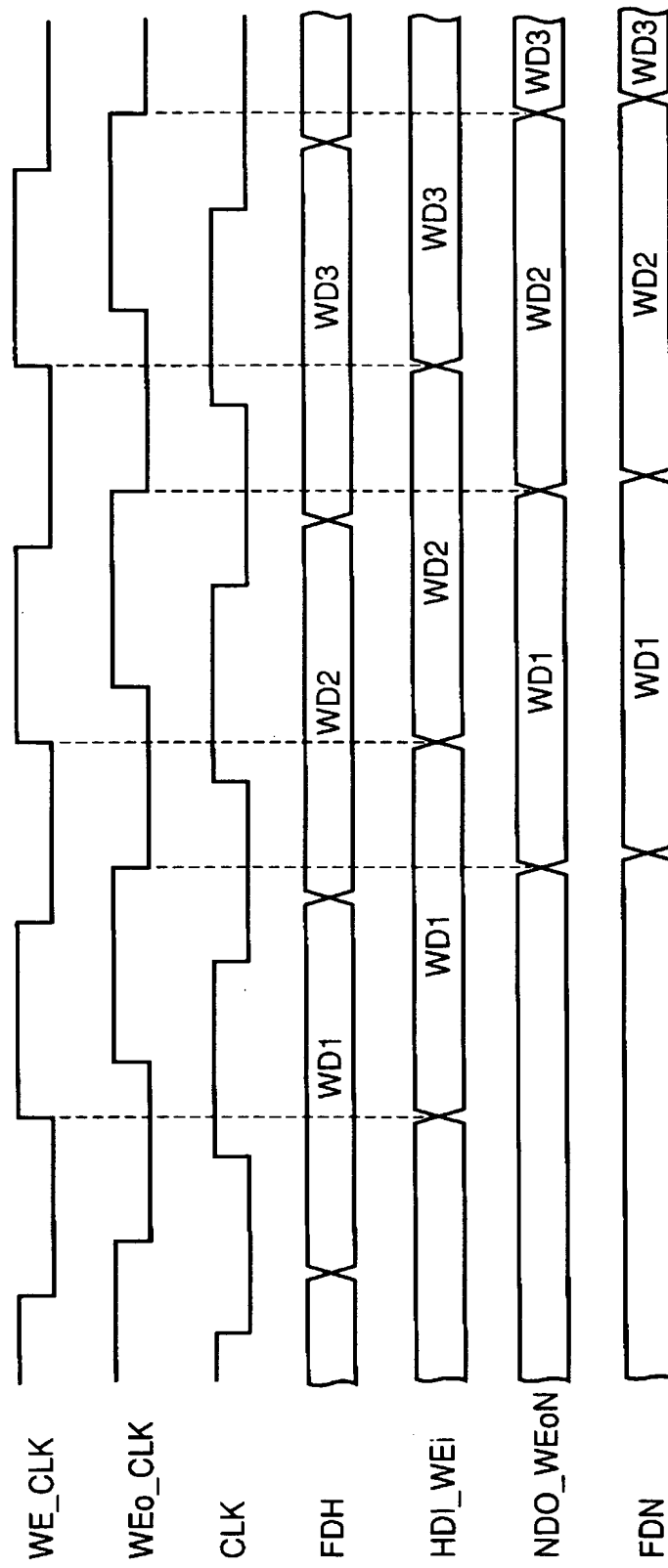
【図 7】



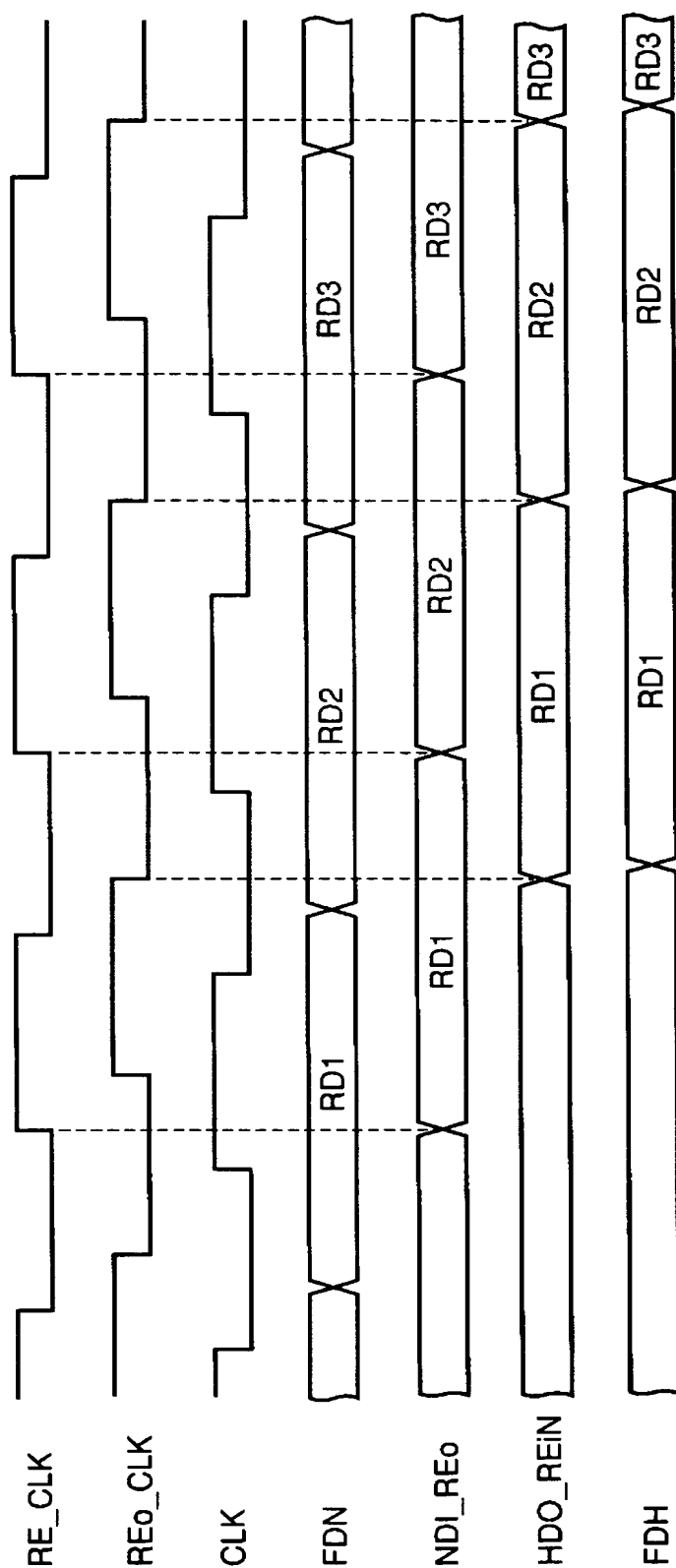
【図 8】



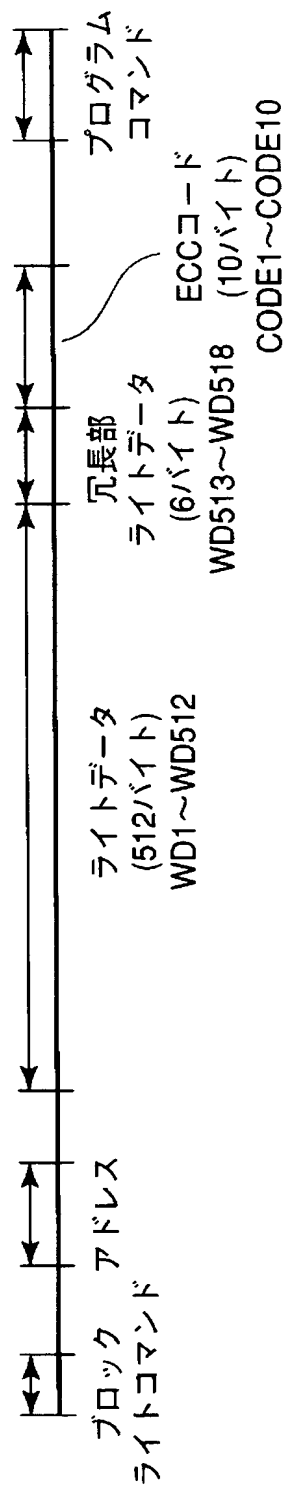
【図 9】



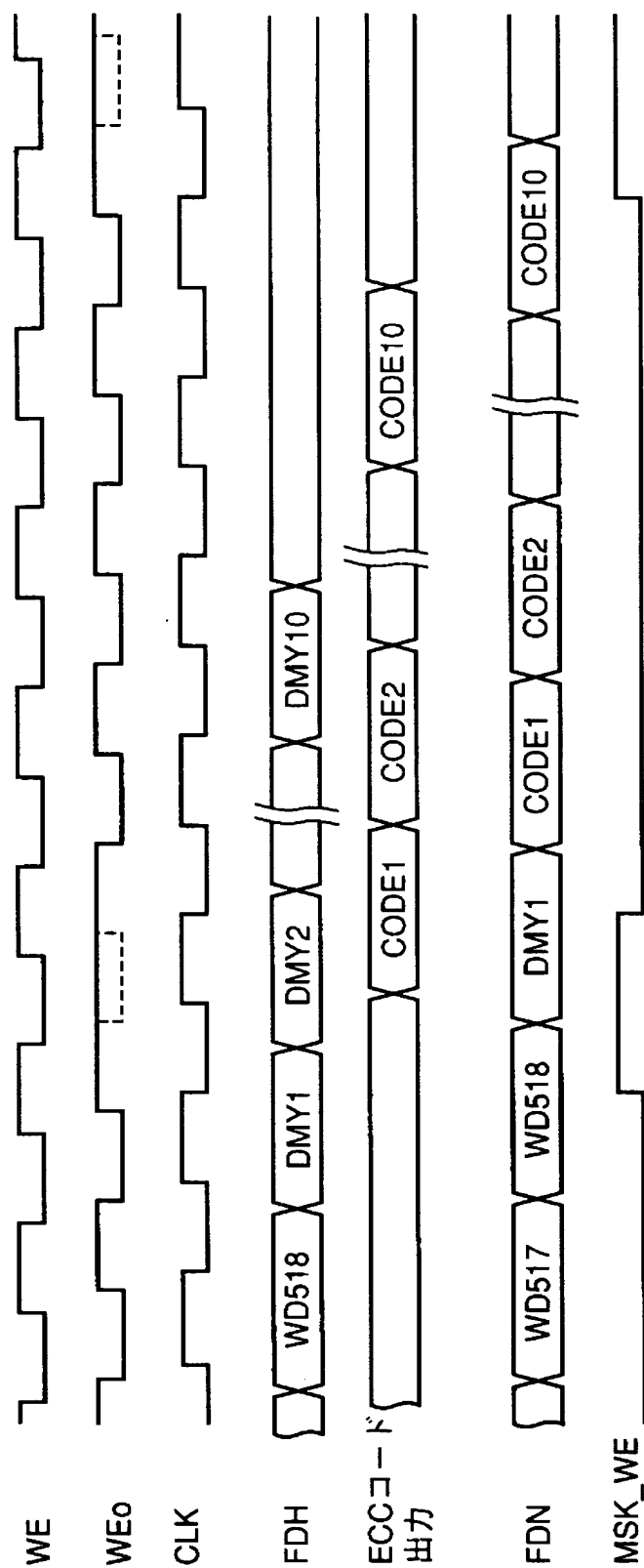
【図 10】



【図 11】

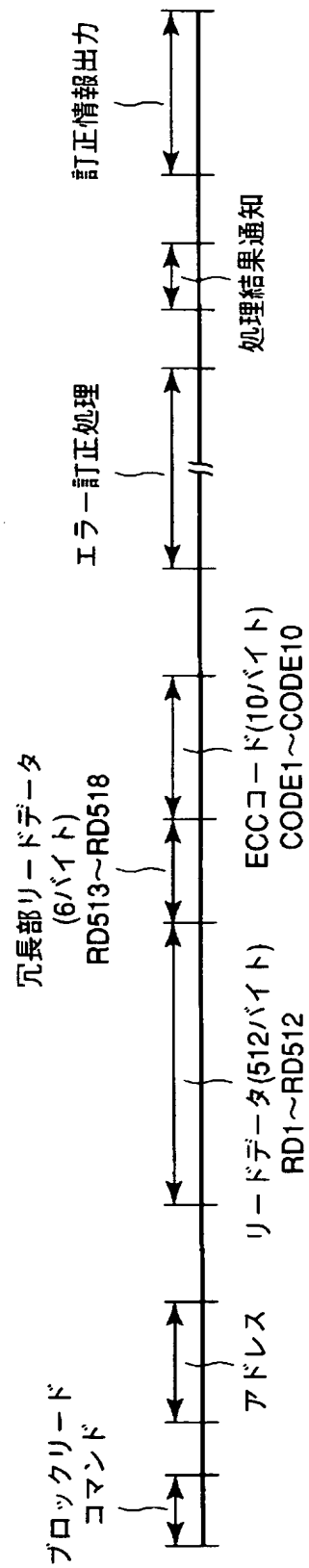


【図 12】





【図 13】



【書類名】 要約書

【要約】

【課題】 ホスト或いはメモリカードにおける既存の回路変更を少なくして E C C の機能強化を可能とする。

【解決手段】 ホストとメモリとの間に接続された E C C 制御装置であって、前記ホストとの間でデータの入力及び出力を行う第 1 入出力回路と、前記第 1 入出力回路に入力された所定データ長を有する書き込みデータのうち、保護対象である保護領域とそれ以外の冗長領域とを検出する検出回路と、前記保護領域のデータに対してエラー訂正符号を生成する生成回路と、前記冗長領域に前記訂正符号を挿入する訂正符号挿入回路と、前記メモリとの間でデータの入力及び出力を行う第 2 入出力回路とを有する。

【選択図】 図 3

## 認定・付加情報

特許出願の番号	特願 2004-016180
受付番号	50400116424
書類名	特許願
担当官	笹川 友子 9482
作成日	平成 16 年 1 月 29 日

## &lt;認定情報・付加情報&gt;

## 【特許出願人】

【識別番号】	000221199
【住所又は居所】	神奈川県川崎市川崎区駅前本町 2 5 番地 1
【氏名又は名称】	東芝マイクロエレクトロニクス株式会社

## 【特許出願人】

【識別番号】	000003078
【住所又は居所】	東京都港区芝浦一丁目 1 番 1 号
【氏名又は名称】	株式会社東芝

## 【代理人】 申請人

【識別番号】	100058479
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	鈴江 武彦

## 【選任した代理人】

【識別番号】	100091351
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	河野 哲

## 【選任した代理人】

【識別番号】	100088683
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	中村 誠

## 【選任した代理人】

【識別番号】	100084618
【住所又は居所】	東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許 綜合法律事務所内
【氏名又は名称】	村松 貞男

## 【選任した代理人】

【識別番号】 100092196  
【住所又は居所】 東京都千代田区霞が関 3 丁目 7 番 2 号 鈴榮特許  
総合法律事務所内  
【氏名又は名称】 橋本 良郎

特願 2 0 0 4 - 0 1 6 1 8 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 2 2 1 1 9 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 3 日
[変更理由]	新規登録
住 所	神奈川県川崎市川崎区駅前本町 2 5 番地 1
氏 名	東芝マイクロエレクトロニクス株式会社

特願 2 0 0 4 - 0 1 6 1 8 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝